

공고특허95-009390

**(19)대한민국특허청(KR)**  
**(12) 특허공보(B1)**

**(51) Int. Cl. 6**  
**G11C 11/406**

**(45) 공고일자 1995년08월21일**  
**(11) 공고번호 95-009390**  
**(24) 등록일자**

<b>(21) 출원번호</b>	특1992-0006728	<b>(65) 공개번호</b>	특1993-0022383
<b>(22) 출원일자</b>	1992년04월22일	<b>(43) 공개일자</b>	1993년11월24일
<b>(73) 특허권자</b>	삼성전자주식회사 김광호 경기도 수원시 권선구 매탄동 416번지		
<b>(72) 발명자</b>	강경우 경기도 수원시 권선구 매탄동 1172-15		
<b>(74) 대리인</b>	이건주		

**심사관: 장완호 (책자공보 제4093 호)**

**(54) 반도체 메모리장치의 리프레시 어드레스 테스트회로**

**요약**  
 내용 없음.

**대표도**  
 도1

**명세서**

[발명의 명칭]반도체 메모리장치의 리프레시 어드레스 테스트회로[도면의 간단한 설명]제1도는 종래기술의 메모리셀 리프레시 기능 블록도.

제2도는 제1도중 리프레시 어드레스 카운터(20)의 출력 타이밍도.

제3a도 제3b도는 본 발명에 따른 메모리셀 리프레시 기능 블록도.

제4도는 본 발명에 따른 리프레쉬 어드레스 테스트회로도.

제5도는 본 발명에 따른 동작 타이밍도.

제6도는 제4도중 컴퍼레이터(43)의 일실시예의 구체회로도.

[발명의 상세한 설명]본 발명은 반도체 다이내믹 메모리장치에 관한 것으로, 특히 메모리장치내의 메모리셀들의 셀프-리프레쉬(self-refresh)동작시에 리프레시를 실현하는 리프레시 어드레스의 테스트회로에 관한 것이다.

일반적용 다이내믹 메모리장치는 다수개의 행(row)와 열(column)들로 이루어진 매트릭스(matrix) 안에 위치하는 메모리셀들을 가지고 있다. 상기 매트릭스의 행과 열은 각각 워드 라인들 및 데이터비트라인들로 이루어진다. 상기 워드 라인과 데이터비트라인의 선택에 의해 하나의 메모리셀이 선택되고, 상기 선택된 데이터비트라인을 통하여 데이터가 상기 선택된 메모리셀의 캐패시터에 저장된다. 상기 캐패시터에 저장된 데이터는 시간이 지남에 따라 캐패시터의 누설 전류에 의해 감소되므로, 점차적으로 상기 메모리셀에 저장된 데이터는 본래의 크기를 잃게 된다. 이러한 문제점을 해결하기 위하여, 다이내믹 메모리장치에서는 리프레쉬 동작이 필요하다.

일반적으로 다이나믹 메모리장치에 채용되는 리프레시 방법은 카스 비포 라스(CAS before RAS) 리프레시 방법이다. 이러한 카스 비포 라스 리프레시의 응용된 방법으로 셀프-리프레시방법이 있다. 상기 셀프-리프레시방법은 컬럼 어드레스 스트로브(Column Address Strobe : CAS)신호

CAS:

가 액티브(active)인 상태에서 로우 어드레스 스트로브(Row Address Strobe : RAS)신호

RAS:

를 액티브로 하면, 상기 컬럼 어드레스 스트로브신호

CAS

및 로우 어드레스 스트로브신호

RAS

가 액티브인 구간내에서 다이나믹 메모리장치 내부의 리프레시 어드레스신호에 의해 자동적으로 리프레시를 수행하는 것이다.

제1도는 종래기술에 의한 메모리셀 리프레시 기능 블록도이고, 제2도는 상기 제1도의 리프레시 어드레스 카운터(20)에서 발생하는 리프레시 어드레스들의 타이밍도이다. 상기 제1도 및 제2도를 참조하여 종래의 리프레시 동작을 설명하면 다음과 같다. 카스 비포 라스 모드에서 일정시간 경과후 리프레시가 시작되면, 제1도의 리프레시 타이머 및 리프레시 제어회로(19) 내부의 오실레이터(oscillator)에서 제2도와 같이 리프레시 제어클럭  $\phi$ 가 발생된다. 그러면 리프레시 어드레스 카운터(20)는 제2도와 같이 리프레시 제어클럭  $\phi$ 에 동기하여 리프레시 어드레스를 연속적으로 발생한다. 이때 상기 리프레시 어드레스 비트는 A

$n-A$   
 $1$

가 순차적으로 증가된다. 상기과 같이 발생하는 리프레시 어드레스들은 어드레스 버퍼단(17)을 거쳐 로우 디코더(row decoder)(18)에 전달됨으로써 순간적으로 리프레시가 진행된다.

상기와 같은 리프레시 동작은 모든 메모리 셀에 대하여 규정된 리프레시 시간내에 이루어져야만 한다. 즉, 리프레시 동작시 모든 메모리셀에 대한 리프레시 어드레스가 규정된 리프레시 시간내에서 모두 연속적으로 발생완료되어야만 한다. 그리고 상기과 같은 리프레시 기능을 가지는 메모리장치는 제조 공정중에 해당 메모리장치의 모든 메모리 셀에 대한 리프레시가 제대로 이루어지는지 확인하고 있다. 이때 모든 메모리 셀에 대한 리프레시가 제대로 이루어지는 테스트하기 위해서는 리프레시 시작 시점부터 규정된 리프레시 시간이 경과한 후, 테스트장치가 해당 메모리 셀의 데이터를 독출하여 해당 메모리칩의 불량여부를 확인하여야만 한다.

그러나 종래에는 상기한 바와 같이 단순한 메모리에 대한 리프레시 동작만을 수행함으로써, 모든 메모리셀에 대한 리프레시 동작이 언제 완료되는지 확인할 수 없었다. 이에 따라 규정된 리프레시 시간내에 모든 메모리 셀에 대한 리프레시가 이루어지는지 여부를 확인할 수 없는 문제점이 있었다. 또한 모든 메모리 셀에 대하여 리프레시가 제대로 이루어지는 테스트하기 위해서는 반드시 리프레시 시작시점부터 규정된 리프레시 시간이 경과하여야만 함으로써, 리프레시의 여부에 대한 테스트시간도 규정된 리프레시 시간만큼 길어지게 되는 단점이 있었다.

한편 상기한 바와 같이 모든 메모리 셀에 대한 리프레시 동작이 언제 완료되는지 확인하고 규정된 리프레시 시간내에 모든 메모리 셀에 대한 리프레시가 제대로 이루어지는지 확인하기 위해서는 리프레시 어드레스들이 모두 발생되는지 여부와 발생 완료되는 시점을 알 수 있어야만 한다.

따라서 본 발명의 목적은 리프레시 어드레스를 테스트할 수 있는 리프레시 어드레스 테스트회로를 제공하는데 있다.

본 발명의 다른 목적은 리프레시 어드레스 생성회로에서 리프레시 어드레스들이 모두 발생 완료되는 시점을 알릴 수 있는 리프레시 어드레스 테스트회로를 제공하는데 있다.

상기 목적을 달성하기 위한 본 발명은 다이나믹 메모리장치의 리프레시 회로에 리프레시 어드레스 테스트회로를 구비하며, 모든 메모리 셀에 대한 리프레시를 위한 모든 리프레시 어드레스의 발생 완료 여부를 알리는 테스트 출력신호를 발생하는 것을 특징으로 한다.

제3a도 및 제3b도는 본 발명에 따른 셀프-리프레시 모드의 기능 블록도를 도시한 것이다. 상기 제3a도는 전체적인 기

능 블록도로서, 상기 제3a도의 리프레시 회로는 리프레시 타이머를 구비하여 리프레시 제어신호를 발생하는 리프레시 타이머 및 리프레시 제어회로(19)와, 상기 리프레시 타이머 및 리프레시 제어회로(19)에 접속하는 리프레시 어드레스 카운터(20)와, 상기 리프레시 어드레스 카운터(20)의 출력을 입력하는 리프레시 어드레스 테스트회로(21)를 구비하고, 상기 리프레시 어드레스 카운터(20)의 출력이 어드레스 버퍼단(17)에 접속하는 구성을 가지고 있다. 제3b도는 상기 제3a도중 점선으로 표시하고 참조부호 100을 기입한 부분의 신호흐름에 대한 상세도로서, 리프레시 어드레스 카운터(20)로부터 발생하는 리프레시 어드레스의 비트 A

$0 \sim A_{n-1}$ 가 리프레시 어드레스 테스트회로(21)와 어드레스 버퍼단(17)로 인가되는 것을 보인 것이다.

이제 상기 제3a도 및 제3b도의 리프레시 동작을 설명한다. 카스 비포라스 모드에서 일정시간 경과후 리프레시가 시작되면, 리프레시 타이머 및 리프레시 제어회로(19)를 구성하는 오실레이터에서 리프레시 제어클럭  $\Phi$ 가 발생된다. 그러면 리프레시 어드레스 카운터(20)에서는 리프레시 제어클럭  $\Phi$ 에 동기하여 전술한 제2도에 도시한 바와 같은 리프레시 어드레스들이 발생된다. 상기 리프레시 어드레스들은 로우 어드레스 버퍼단(17)에 전달되어 순차적으로 리프레시가 진행된다. 이때 리프레시 어드레스 카운터(20)로부터 발생된 상기 리프레시 어드레스 신호들은 리프레시 어드레스 테스트회로(21)에도 입력된다.

여기서 본 발명에 따른 상기 리프레시 어드레스 테스트회로(21)의 회로도들 보이면 제4도와 같다. 상기 제4도는 리프레시 어드레스 카운터(20)로부터 인가되는 리프레시 어드레스 비트 A

$0 \sim A_{n-1}$  중 대응하는 하나의 비트에 각각 접속되며 리프레시 어드레스 카운터(20)로부터 연속적으로 발생하는 리프레시 어드레스들중 최초로 발생하는 최초상태의 리프레시 어드레스 비트들을 이후에 연속적으로 발생하는 리프레시 어드레스 비트들과 각각 대응되게 연속적으로 비교하는 다수의 데이터 패스들(40)과, 상기 데이터 패스들(40)로부터 출력되는 신호들에 의해 설정된 수의 리프레시 어드레스가 모두 발생되었는지 여부를 알리는 테스트 출력신호를 발생하는 테스트 출력회로(50)로 구성되어 있다. 상기 데이터 패스들(40)은 두개의 인버터(45, 46)로 구성되며 리프레시 어드레스 카운터(20)로부터 발생하는 최초상태의 리프레시 어드레스 비트들중 대응하는 하나의 비트를 각각 래치하는 다수의 래치회로들(42)과, 제1제어클럭  $\Phi_1$ 에 의해 제어되며 상기 최초상태의 리프레시 어드레스 비트들만을 래치회로들(42)에 대응되게 각각 전송되는 노말리 클로즈(normaly close)타입의 다수의 씨모스(CMOS) 전송게이트들(41)과, 래치회로들(42)에 래치된 최초상태의 리프레시 어드레스 비트들을 리프레시 어드레스 카운터(21)로부터 연속적으로 발생하는 리프레시 어드레스 비트들과 각각 대응되게 연속적으로 비교하는 다수의 컴퍼레이터(comparator)들(43)로 구성한다. 또한 전송게이트들(41)의 두 제어단자에 제1제어클럭  $\Phi_1$ 을 서로 반전상태로 인가하는 인버터(44)를 구비한다. 테스트 출력회로(50)는 컴퍼레이터들(43)의 출력을 모두 입력하는 난드게이트(NAND gate)(51)와, 난드게이트(51)의 출력을 반전시켜 테스트 출력신호로서 출력하는 인버터(52)로 구성된다.

제5도는 상기 제4도의 동작 타이밍도를 보인 것이다.

이제 상기 제2도와 제4도 및 제5도를 참조하여 본 발명의 동작을 설명한다. 우선 리프레시 어드레스 카운터(20)에서 제5도와 최초상태의 리프레시 어드레스  $XA_0$ 부터  $XA$

$n-1$ 까지 연속적으로 발생하는 리프레시 어드레스 비트는 상기 제2도와 같이  $A_0 \sim A_{n-1}$ 이 된다. 그리고 리프레시 타이머 및 리프레시 제어회로(19)의 출력인 리프레시 제어클럭  $\Phi$ 의 첫 사이클이 "하이"에서 "로우"로 변할 때 제1제어클럭  $\Phi_1$ 이 제5도와 같이 "하이"가 된다. 이에따라 전송게이트들(41)이 클로즈됨으로써 래치회로들(42)에는 최초상태의 리프레시 어드레스  $XA_0$ 가 래치되는데, 최초상태의 리프레시 어드레스  $XA$

$0$ 의 비트들  $A_0 \sim A_{n-1}$ 은 제2도와 같이 모두 "하이"이므로 래치회로들(42)에는 모두 "하이"가 저장된다.

다음에 리프레시 제어클럭  $\Phi$ 의 두번째 사이클의 "하이" 기간중에 제2제어클럭  $\Phi_2$ 가 "하이"로 됨으로써 컴퍼레이터들(43)의 모두 액티브된다. 이에따라 컴퍼레이터들(43)은 리프레시 제어클럭  $\Phi$ 의 두번째 사이클부터 래치회로들(42)에 래치된 최초상태의 리프레시 어드레스  $XA$

$0$ 를 그 이후 연속적으로 발생하는 리프레시 어드레스  $XA_1$ 부터 시작하여 연속적으로 비교한다. 이때, 리프레시 어드레스  $XA$

$1$ 부터  $XA_{n-1}$ 의 비트들  $A_0 \sim A_{n-1}$ 은 최초상태의 리프레시 어드레스 비트들  $A_0 \sim A_{n-1}$ 에 비해 제2도와 같이 적어도 1비트 이상 다른 논리상태를 가진다. 이에따라 컴퍼레이터들(43)의 출력은 마지막 리프레시 어드레스  $XA$

$n-1$ 가 발생될때까지 계속 "로우"상태를 유지한다.

상기와 같은 상태에서 1회의  $2^N$ 개의 사이클을 거쳐 리프레시 어드레스가 래치회로들(42)에 래치되어 있는 최초상태의 리프레시 어드레스  $XA_0$ 와 동일한 상태로 제5도와 같이 다시 발생되면, 모든 컴퍼레이터들(43)은 각각의 두 입력이 동일한 논리레벨이 됨으로써 "하이"로 액티브되는 출력신호를 발생한다. 이에따라 테스트 출력회로(50)는 컴퍼레이터들(43)의 출력이 모두 "하이"이므로 제5도와 같이 테스트 출력신호를 설정된 수의 리프레시 어드레스가 모두 발생되었음을 나타내는 "하이"의 논리레벨로 액티브시켜 발생한다. 이때 "하이"의 테스트 출력신호는 제5도와 같이 리프레시 제어 클럭  $\Phi$ 의 한주기  $\Delta$

동안 나타난다. 이때 테스트 출력회로(50)의 출력은 외부 출력핀들중 어느 하나에 선택적으로 접속하거나, 여분의 핀을 이용하는 방법등을 통하여 외부 테스트수단에 연결하여 테스트 결과를 출력할 수 있다.

따라서 리프레시 동작시에 설정된 수의 리프레시 어드레스가  $XA_0$ 부터  $XA_{n-1}$ 까지 모두 발생되었을때 "하이"로 액티브되어 발생하는 테스트 출력 신호에 의해 모든 메모리 셀에 대한 리프레시 동작이 완료되는 시점을 확인할 수 있게 되는 것이다. 이에따라 리프레시 시작 시점부터 "하이"의 테스트 출력신호가 발생되기 까지의 시간을 확인할 수 있게 됨으로써 규정된 리프레시 시간내에 모든 메모리 셀에 대한 리프레시가 제대로 이루어지는지 확인할 수 있게 된다. 그러므로 모든 메모리 셀에 대하여 리프레시가 제대로 이루어지는지 여부를 규정된 리프레시 시간의 경과 여부와 관계없이 실제적으로 리프레시가 완료되는 시점에서 확인할 수 있게 됨으로써 리프레시의 여부에 대한 테스트시간을 줄일 수 있게 된다.

제6도는 상기 제4도의 컴퍼레이터들(43)의 일실시예의 상세회로들 보인 것으로, 난드게이트(53, 58)와 노아게이트(NOR gate)(54, 57)와 인버터(55, 56)로 구성된 2입력 컴퍼레이터를 보인 것이다. 상기 제6도의 컴퍼레이터는 제2 제어클럭  $\Phi_2$ 가 "하이"이고 두 입력신호  $DA_i$ ,  $DA'_i$ 의 동일한 논리레벨이 될 경우에만 "하이"의 출력신호를 발생한다.

한편 상기 제4도의 회로에서는 각 데이터패스마다 컴퍼레이터를 구비하였다. 그러나 2입력 컴퍼레이터 대신 하나의 다(多)입력 컴퍼레이터를 사용하는 것도 가능한 실시예이다. 즉, 데이터패스가 N개이면 하나의  $2N$ 비트 컴퍼레이터를 사용하여 모든  $DA_i$  및  $DA'_i$ ( $i=0 \sim n-1$ )를 접속하면 된다. 이경우에는 테스트 출력회로(50)는 상기한 다입력 컴퍼레이터의 출력단으로 대체된다.

또한 전력소비를 줄이기 위해서 제2제어클럭  $\Phi_2$ 이 액티브되는 시점을 연속적으로 발생하는 다수의 리프레시 어드레스들  $XA_0 \sim XA_{n-1}$ 중 마지막 어드레스에 가까운 시점으로 하는 방법도 가능한 실시예이다.

또한 리프레시 어드레스 카운터(20)에서 발생하는 어드레스가 한 주기 동안에 "하이"가 되는 기간이 짧은 첨예한 펄스파로 인가되는 경우에는,  $DA_i$  입력단의 어드레스 데이터가 시간이 지남에 따라 소실될 수 있다. 이때에는  $DA_i$ ( $i=0 \sim n-1$ )에도 상기한 바와 같은 래치회로들(42)을 구비하면 리프레시 어드레스의 정확한 비교가 가능해진다.

상술한 바와 같이 본 발명은 모든 메모리 셀에 대한 리프레시 동작이 완료되는 시점을 확인할 수 있는 리프레시 어드레스 테스트회로로서, 모든 메모리 셀에 대하여 리프레시가 제대로 이루어지는지 여부를 규정된 리프레시 시간의 경과 여부와 관계없이 실제적으로 리프레시가 완료되는 시점에서 정확하게 확인할 수 있게 됨으로써 리프레시의 여부에 대한 테스트시간을 줄일수 있는 잇점이 있다.

## (57) 청구의 범위

### 청구항1

다수의 메모리 셀로 이루어진 메모리 어레이와, 상기 메모리 셀 어레이중 임의의 메모리셀을 선택하기 위한 선택수단과, 소정의 리프레시 제어신호에 의해 리프레시 제어클럭을 발생하는 리프레시 타이머 및 리프레시 제어회로와, 설정된 수의 리프레시 어드레스를 상기 리프레시 제어클럭에 동기하여 연속적으로 발생하여 상기 선택수단에 인가하는 리프레시 어드레스 카운터를 구비한 반도체 다이내믹 메모리장치의 리프레시 어드레스 테스트회로에 있어서, 상기 리프레시 어드레스 카운터로부터 연속적으로 발생하는 리프레시 어드레스들중 최초로 발생하는 최초상태의 리프레시 어드레스 비트들을 래치하는 래치수단과, 상기 래치수단에 래치된 최초상태의 리프레시 어드레스 비트들을 상기 어드레스 리프레시 카운터로부터 연속적으로 발생하는 리프레시 어드레스들의 비트들과 각각 대응되게 연속적으로 비교하는 다수의 비교수단들과, 상기 비교수단들로부터 출력되는 신호들에 의해 상기 설정된 수의 리프레시 어드레스가 모두 발생되었는지 여부를 알리는 테스트 출력신호를 발생하는 테스트 출력수단을 구비하는 것을 특징으로 하는 리프레시 어드레스 테스트회로.



**청구항2**

제1항에 있어서, 상기 래치수단이, 상기 최초상태의 리프레시 어드레스 비트들중 대응하는 하나의 비트를 각각 래치하기 위한 다수의 래치회로들과, 상기 리프레시 어드레스 카운터로부터 연속적으로 발생하는 리프레시 어드레스들중 상기 최초상태의 리프레시 어드레스 비트들만을 상기 래치회로들에 대응되게 각각 전송하는 다수의 스위치수단들을 구비하는 것을 특징으로 하는 리프레시 어드레스 테스트회로.

**청구항3**

제1항에 있어서, 상기 비교수단들이, 두 입력이 동일한 논리 레벨일때 설정된 논리레벨로 액티브되는 출력신호를 발생시키는 컴퍼레이터인 것을 특징으로 하는 리프레시 어드레스 테스트회로.

**청구항4**

제1항에 있어서, 상기 테스트 출력수단이, 상기 비교수단들의 출력신호가 모두 동일한 논리레벨일때 상기 테스트 출력신호를 상기 설정된 수의 리프레시 어드레스가 모두 발생되었음을 나타내는 논리레벨로 액티브시켜 발생하는 것을 특징으로 하는 리프레시 어드레스 테스트회로.

**청구항5**

제2항에 있어서, 상기 스위치수단들이, 상기 최초상태의 리프레시 어드레스가 발생된후 상기 최초상태의 리프레시 어드레스 기간중에 액티브되는 제1제어클럭에 의해 상기 리프레시 어드레스 카운터의 출력단과 상기 래치회로들간의 경로를 인에이블시키는 것을 특징으로 하는 리프레시 어드레스 테스트회로.

**청구항6**

제3항에 있어서, 상기 컴퍼레이터들이, 각각 제어단자를 가지며 상기 제어단자에 인가되는 제2제어클럭에 의해 액티브되며, 상기 제2제어클럭이 상기 연속적으로 발생하는 리프레시 어드레스들중 두번째 리프레시 어드레스가 발생된 이후부터 마지막 리프레시 어드레스가 발생하는 시점 사이에서 액티브되는 것을 특징으로 하는 리프레시 어드레스 테스트회로.

**청구항7**

연속적으로 발생하는 설정된 수의 내부 리프레시 어드레스들을 이용하여 셀프-리프레시 동작을 수행하는 반도체 메모리장치의 리프레시 어드레스 테스트회로에 있어서, 상기 연속적으로 발생하는 리프레시 어드레스들중 최초로 발생하는 최초상태의 리프레시 어드레스 비트들중 대응하는 하나의 비트를 각각 래치하는 다수의 제1래치회로들과, 상기 연속적으로 발생하는 리프레시 어드레스들중 상기 최초상태의 리프레시 어드레스 비트들만을 상기 제1래치회로들에 대응되게 각각 전송하는 다수의 스위치수단들과, 상기 연속적으로 발생하는 리프레시 어드레스 비트들중 대응하는 하나의 비트를 각각 연속적으로 래치하는 다수의 제2래치회로들과, 상기 제1래치회로들에 래치된 최초상태의 리프레시 어드레스 비트들을 상기 제2래치회로들에 래치된 연속적인 리프레시 어드레스들의 비트들과 각각 대응되게 연속적으로 비교하는 다수의 비교수단들과, 상기 비교수단들로부터 출력되는 신호들에 의해 상기 설정된 수의 리프레시 어드레스가 모두 발생되었는지 여부를 알리는 테스트 출력신호를 발생하는 테스트 출력수단을 구비하는 것을 특징으로 하는 리프레시 어드레스 테스트회로.

**청구항8**

제7항에 있어서, 상기 비교수단들이, 상기 스위치수단들에 비해 소정 시간 경과후 액티브되며 두입력이 동일한 논리 레벨일때 설정된 논리레벨로 액티브되는 출력신호를 발생하는 컴퍼레이터인 것을 특징으로 하는 리프레시 어드레스 테스트회로.

**청구항9**

제7항에 있어서, 상기 스위치수단들이, 상기 최초상태의 리프레시 어드레스가 발생된후 상기 최초상태의 리프레시 어드레스 기간중에 액티브되는 제1제어클럭에 의해 상기 리프레시 어드레스 카운터의 출력단과 상기 래치회로들간의 신호 경로를 인에이블시키는 씨모오스 전송게이트인 것을 특징으로 하는 리프레시 어드레스 테스트회로.

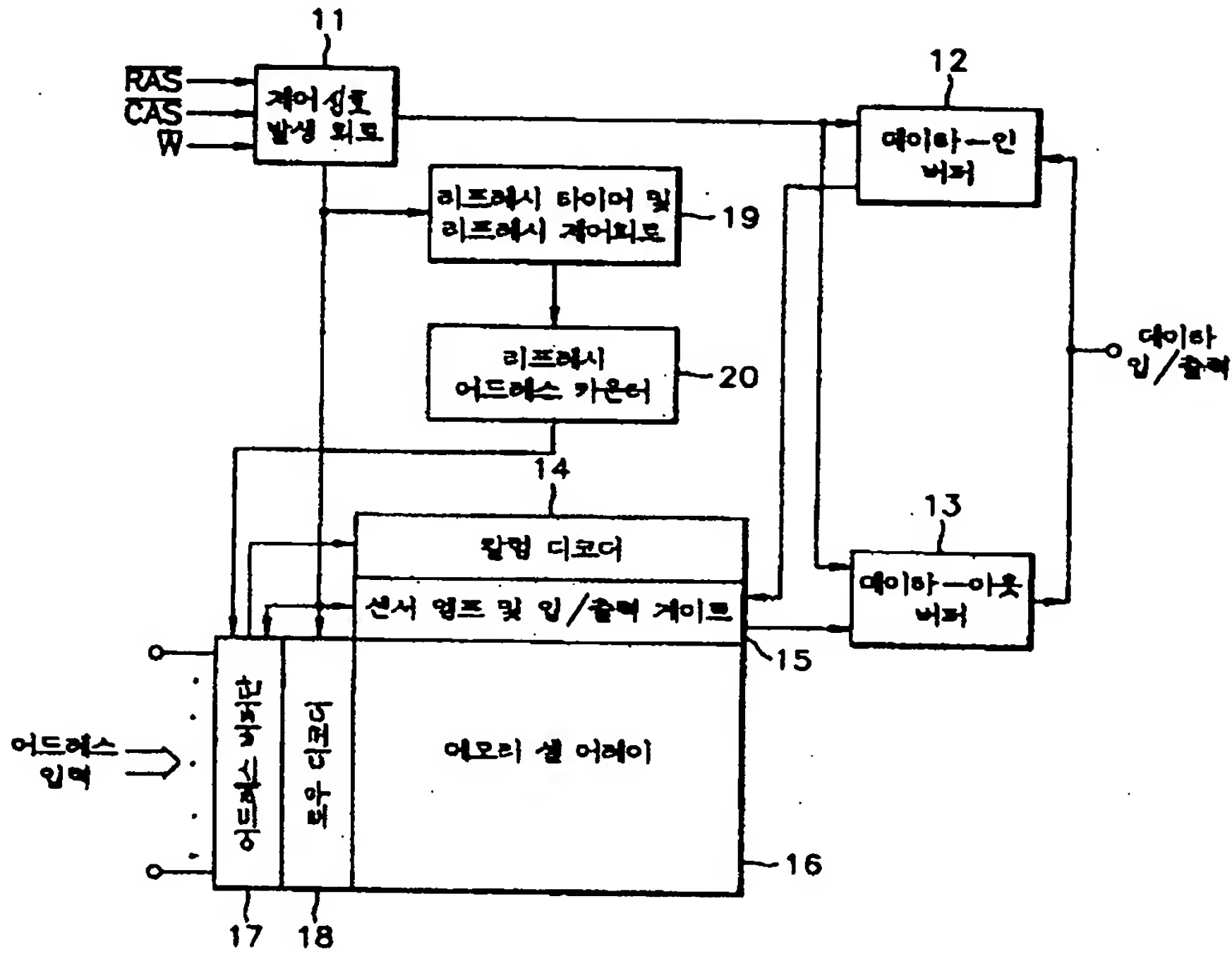
**청구항10**

제7항에 있어서, 상기 테스트 출력수단이, 상기 비교수단들의 출력신호가 모두 동일한 논리레벨일때 상기 테스트 출력

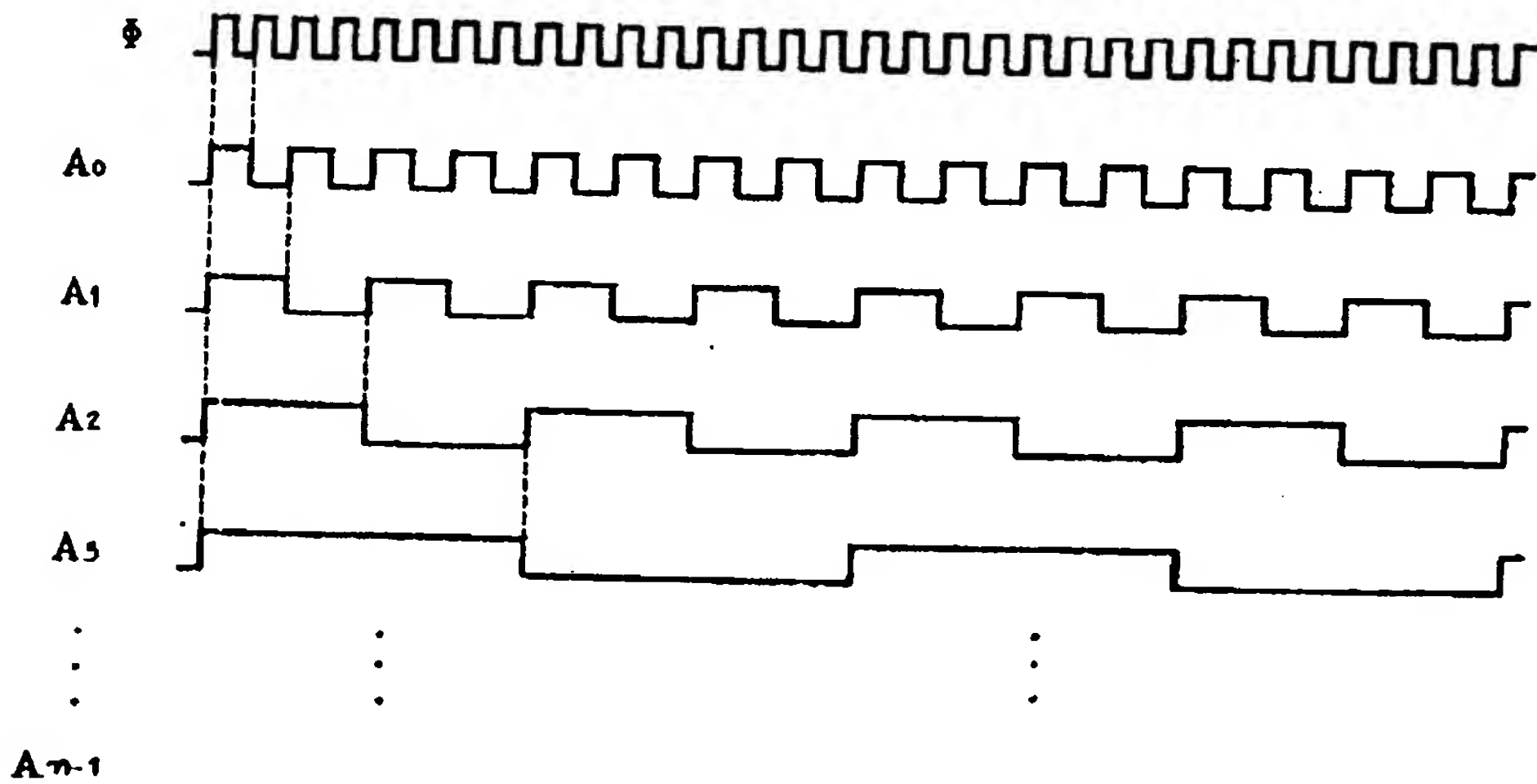
신호를 상기 설정된 수의 리프레시 어드레스가 모두 발생되었음을 나타내는 논리레벨로 액티브시켜 발생하는 것을 특징으로 하는 리프레시 어드레스 테스트회로.

도면

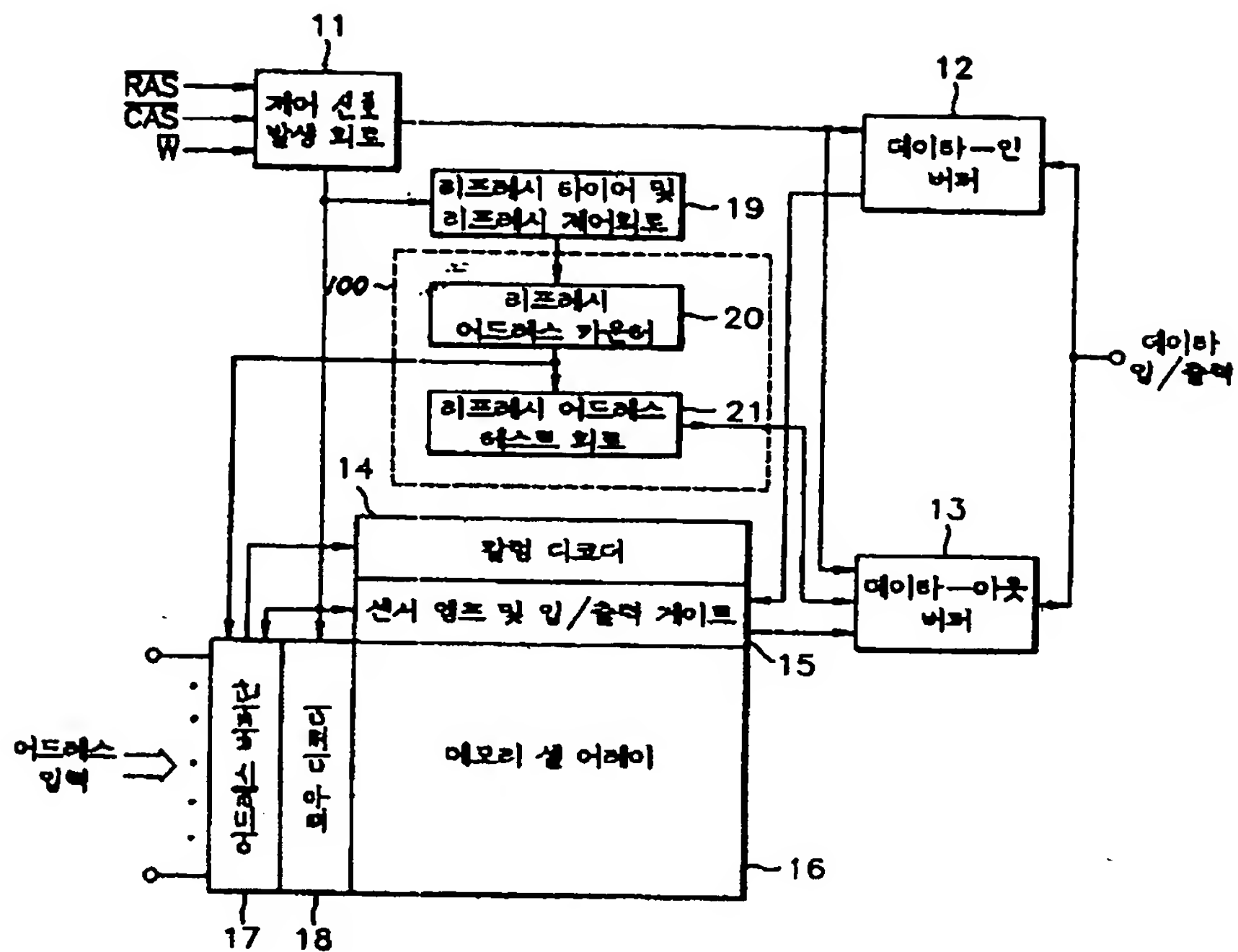
도면1



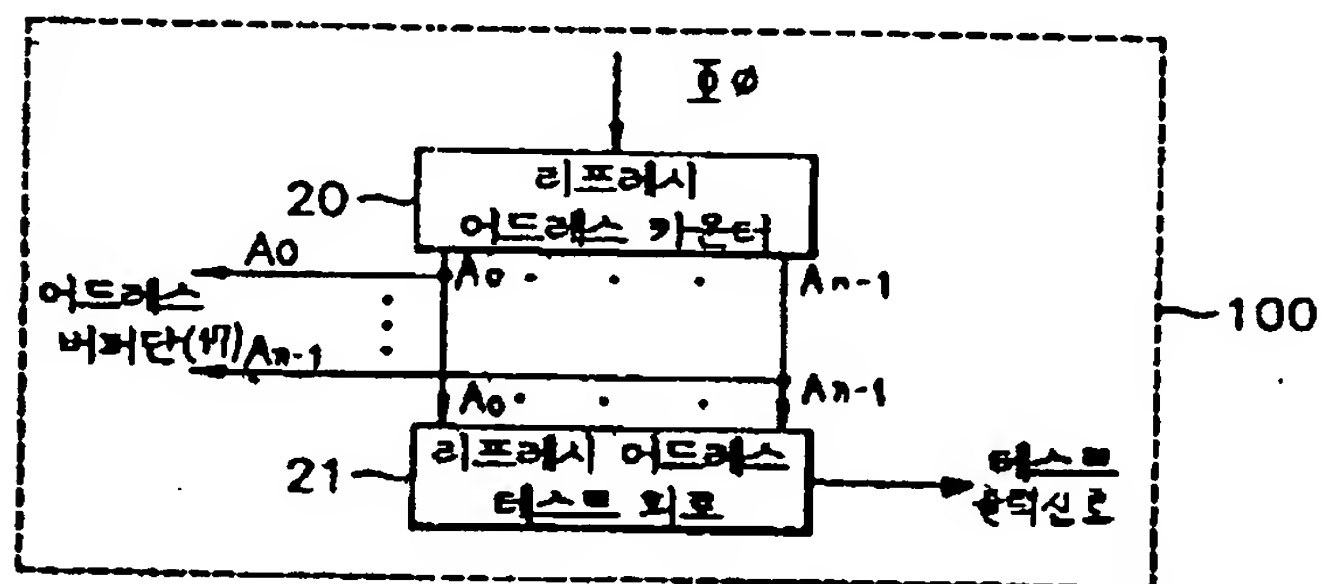
도면2



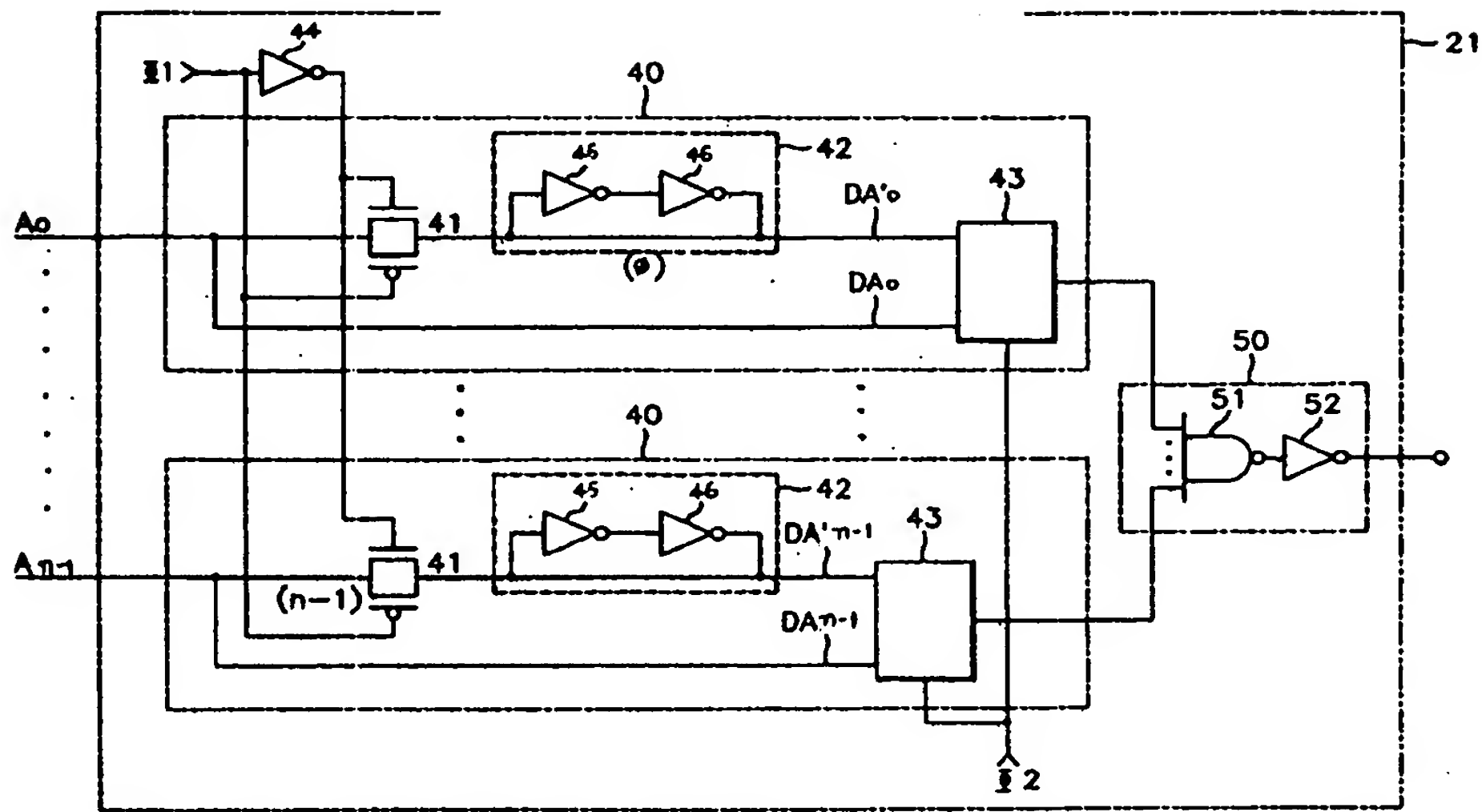
도면3A



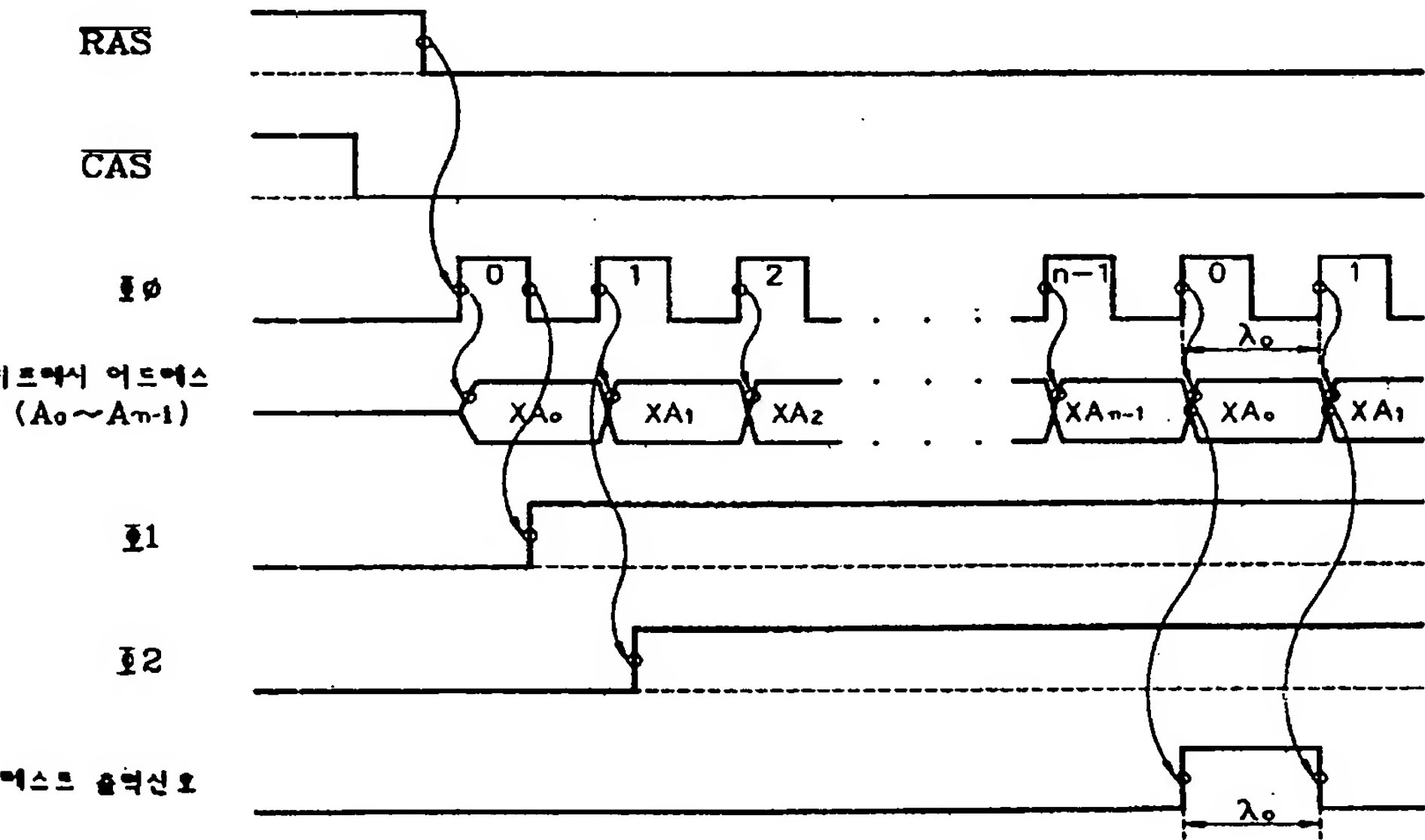
도면3B



도면4



도면5



도면6



